

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031381

(43)Date of publication of application : 28.01.2000

(51)Int.Cl.

H01L 27/04  
H01L 21/822

(21)Application number : 10-197741

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 13.07.1998

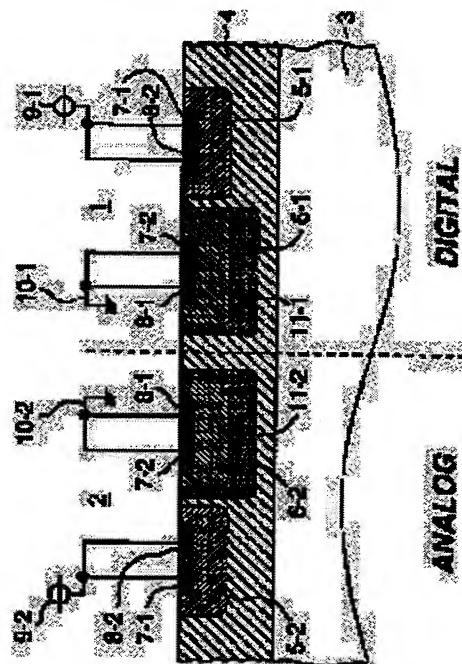
(72)Inventor : UNEME YUTAKA

## (54) DIGITAL/ANALOG MIXED MOUNT SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To manufacture a semiconductor integrated circuit of high level of integration at a low cost by restraining interference of noise between an analog part and a digital part, in a semiconductor integrated circuit in which digital circuits and analog circuits are mixedly mounted on a chip.

**SOLUTION:** This digital/analog mixed mount semiconductor integrated circuit has a second semiconductor layer 4 on a semiconductor substrate 3 of low resistance which layer has higher resistivity and the same conductivity type as the substrate, and a well region on the second semiconductor layer 4 which region is composed of N-wells 5-1, 5-2 connected with a power source and P-wells 6-1, 6-2 connected with ground. In at least a part of the side surface and the bottom surface of the well region, third semiconductor regions 11-1, 11-2 are formed which have resistivity higher than that of the layer 4 and the same conductivity type as that of the layer 4.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-31381

(P2000-31381A)

(43)公開日 平成12年1月28日(2000.1.28)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 27/04  
21/822

識別記号

F I

H 0 1 L 27/04

テーマコード(参考)

V 5 F 0 3 8

審査請求 未請求 請求項の数14 O L (全 15 頁)

(21)出願番号 特願平10-197741

(22)出願日 平成10年7月13日(1998.7.13)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 采女 豊

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100102439

弁理士 宮田 金雄 (外2名)

Fターム(参考) 5F038 BH10 BH19 CA05 DF12 EZ12

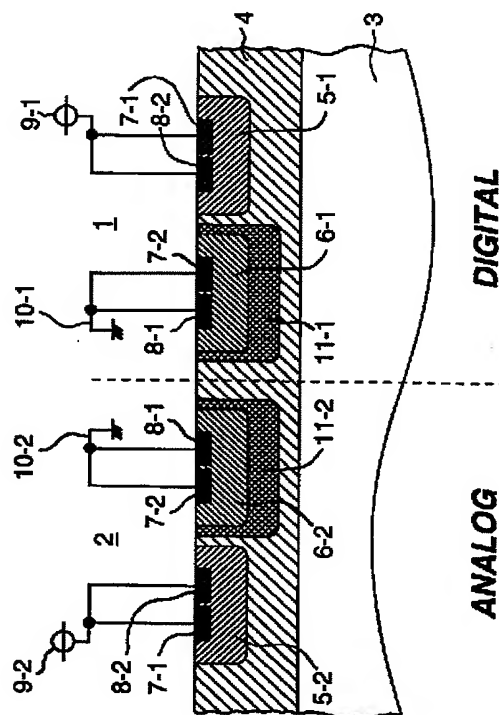
EZ13 EZ14 EZ20

(54)【発明の名称】 デジタル/アナログ混載半導体集積回路

(57)【要約】

【課題】 デジタル回路とアナログ回路を1チップ上に混載した半導体集積回路において、アナログ/デジタル間で雑音の干渉を抑制し、高集積度の半導体集積回路を安価に製造する。

【解決手段】 低抵抗半導体基板3上に、それよりも比抵抗値が高い同一伝導型である第2の半導体層4を有し、電源に接続されたNウェル5-1、5-2とグランドに接続されたPウェル6-1、6-2とからなるウェル領域をその第2の半導体層4に形成したデジタル/アナログ混載半導体集積回路において、前記ウェル領域の側面および底面の少なくとも一部に第2の半導体層4よりも比抵抗値が高く同一伝導型である第3の半導体領域11-1、11-2を設けた。



## 【特許請求の範囲】

【請求項 1】 比較的低い比抵抗値を持つ低抵抗半導体基板上に、それよりも比抵抗値が高い同一伝導型である第 2 の半導体層を有し、電源に接続された N ウェルとグラウンドに接続された P ウェルとからなるウェル領域をその第 2 の半導体層に形成したデジタル／アナログ混載半導体集積回路において、前記ウェル領域の側面および底面の少なくとも一部に第 2 の半導体層よりも比抵抗が高く同一伝導型である第 3 の半導体領域を設けたことを特徴とするデジタル／アナログ混載半導体集積回路。

【請求項 2】 比較的低い比抵抗値を持つ低抵抗半導体基板上に、それよりも比抵抗値が高い同一伝導型である第 2 の半導体層を有し、電源に接続された N ウェルとグラウンドに接続された P ウェルとをその第 2 の半導体層に形成したデジタル／アナログ混載半導体集積回路において、前記 P ウェルの側面および底面に第 2 の半導体層よりも比抵抗が高く同一伝導型である第 3 の半導体領域を設けたことを特徴とするデジタル／アナログ混載半導体集積回路。

【請求項 3】 比較的低い比抵抗値を持つ低抵抗半導体基板上に、それよりも比抵抗値が高い同一伝導型である第 2 の半導体層を有し、電源に接続された N ウェルとグラウンドに接続された P ウェルとをその第 2 の半導体層に形成したデジタル／アナログ混載半導体集積回路において、前記 N ウェルと P ウェルの側面および底面に第 2 の半導体層よりも比抵抗が高く同一伝導型である第 3 の半導体領域を設けたことを特徴とするデジタル／アナログ混載半導体集積回路。

【請求項 4】 第 3 の半導体領域をアナログ回路部のウェル領域に設けたことを特徴とする請求項 1 に記載のデジタル／アナログ混載半導体集積回路。

【請求項 5】 第 3 の半導体領域を P ウェルのみに設けたことを特徴とする請求項 1 に記載のデジタル／アナログ混載半導体集積回路。

【請求項 6】 第 3 の半導体領域をアナログ回路部の P ウェルのみに設けたことを特徴とする請求項 1 に記載のデジタル／アナログ混載半導体集積回路。

【請求項 7】 比較的低い比抵抗値を持つ低抵抗半導体基板上に、それよりも比抵抗値が高い同一伝導型である第 2 の半導体層を有し、電源に接続された N ウェルとグラウンドに接続された P ウェルとからなるウェル領域をその第 2 の半導体層に形成したデジタル／アナログ混載集積回路において、前記ウェル領域の底面の少なくとも一部に第 2 の半導体層よりも比抵抗が高く同一伝導型である第 3 の半導体領域を設けたことを特徴とするデジタル／アナログ混載半導体集積回路。

【請求項 8】 比較的低い比抵抗値を持つ低抵抗半導体基板上に、それよりも比抵抗値が高い同一伝導型である第 2 の半導体層を有し、電源に接続された N ウェルとグラウンドに接続された P ウェルとをその第 2 の半導体層に

形成したデジタル／アナログ混載集積回路において、前記 P ウェルの底面に第 2 の半導体層よりも比抵抗が高く同一伝導型である第 3 の半導体領域を設けたことを特徴とするデジタル／アナログ混載半導体集積回路。

【請求項 9】 比較的低い比抵抗値を持つ低抵抗半導体基板上に、それよりも比抵抗値が高い同一伝導型である第 2 の半導体層を有し、電源に接続された N ウェルとグラウンドに接続された P ウェルとをその第 2 の半導体層に形成したデジタル／アナログ混載集積回路において、前記 N ウェルと P ウェルとの底面に第 2 の半導体層よりも比抵抗が高く同一伝導型である第 3 の半導体領域を設けたことを特徴とするデジタル／アナログ混載半導体集積回路。

【請求項 10】 第 3 の半導体領域をアナログ回路部のウェル領域のみに設けたことを特徴とする請求項 7 に記載のデジタル／アナログ混載半導体集積回路。

【請求項 11】 第 3 の半導体領域を P ウェルのみに設けたことを特徴とする請求項 7 に記載のデジタル／アナログ混載半導体集積回路。

【請求項 12】 第 3 の半導体領域をアナログ回路部の P ウェルのみに設けたことを特徴とする請求項 7 に記載のデジタル／アナログ混載半導体集積回路。

【請求項 13】 比較的低い比抵抗値を持つ低抵抗半導体基板上に、それよりも比抵抗値が高い同一伝導型である第 2 の半導体層を有し、第 2 の半導体層の上部に、低抵抗半導体基板より比抵抗値が高いが第 2 の半導体層よりは比抵抗値が低く同一伝導型である第 3 の半導体層を有し、電源に接続された N ウェルとグラウンドに接続された P ウェルとをその第 3 の半導体層に形成したことを特徴とするデジタル／アナログ混載半導体集積回路。

【請求項 14】 デジタル／アナログ混載半導体集積回路において、アナログ回路部については、比較的低い比抵抗値を持つ低抵抗半導体基板上に、それよりも比抵抗値が高い同一伝導型である第 2 の半導体層を有し、第 2 の半導体層の上部に、低抵抗半導体基板より比抵抗値が高いが第 2 の半導体層よりは比抵抗値が低く同一伝導型である第 3 の半導体層を有し、電源に接続された N ウェルとグラウンドに接続された P ウェルとをその第 3 の半導体層に形成し、デジタル回路部については、比較的低い比抵抗値を持つ低抵抗半導体基板上に、それよりも比抵抗値が高い同一伝導型である第 4 の半導体層を有し、第 4 の半導体層の比抵抗値は第 3 の半導体層と同程度であり、電源に接続された N ウェルとグラウンドに接続された P ウェルとをその第 4 の半導体層に形成したことを特徴とするデジタル／アナログ混載半導体集積回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、デジタル回路とアナログ回路を 1 チップ上に混載した半導体集積回路

## 3

において、特にデジタル回路とアナログ回路間の雑音干渉を低減した半導体集積回路に関するものである。

## 【0002】

【従来の技術】半導体微細加工技術の発展に伴い、従来は別々のチップで構成されていた、デジタル回路（論理回路、記憶素子など）とアナログ回路（A/D、D/A変換器、音声増幅器など）を1つのチップ上に混載した半導体集積回路が製造されている。これにより、部品点数、実装面積の削減が可能となり、機器の小型化、省電力化を推し進めることが可能となる。

【0003】図13にデジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の平面図の一例を示す。この図において、1がデジタル回路部、2がアナログ回路部である。デジタル回路部1とアナログ回路部2は、相互に制御／信号配線で結線されているが、通常、デジタル回路部1、アナログ回路部2の電源はそれぞれ独立して外部から供給される。

【0004】図14に、図13のA-A'での断面の模式図を示す。この図において、3はシリコン基板（通常P型）、4はシリコン基板と同じ伝導型であるシリコンのエピタキシャル成長層である（厚さは1～10 $\mu$ m、比抵抗は5～15 $\Omega \cdot \text{cm}$ 程度で厚み方向に対しては一定値）。トランジスタ密度が高いデジタル回路部におけるラッチアップ現象の発生を抑制するため、通常、シリコン基板の比抵抗は0.1 $\Omega \cdot \text{cm}$ 以下であり、エピタキシャル成長層の比抵抗と比較して非常に低い値である。5-1はデジタル回路のNウェル、5-2はアナログ回路部のNウェル、6-1はデジタル回路のPウェル、6-2はアナログ回路部のPウェルである。Nウェルはn型の伝導型であり、ここにpチャンネルのMOS（Metal-Oxide-Semiconductor）型トランジスタを形成している。7-1はNウェルコンタクト領域、7-2はnチャンネルMOSトランジスタソース領域であり、ともに高濃度のn型にドーピングされている。8-1はPウェルコンタクト領域、8-2はPチャンネルMOSトランジスタソース領域であり、ともに高濃度のp型にドーピングされている。9-1はデジタル回路電源、9-2はアナログ回路電源、10-1はデジタル回路のGND、10-2はアナログ回路GNDである。デジタル回路のGNDとアナログ回路のGNDはシリコン基板を介して接続される。

【0005】なお、図14は、Nウェル領域とPウェル領域を独立にレイアウト設計してマスクデータを生成する方法で作製された半導体集積回路の断面模式図であり、アナログ回路Pウェルとデジタル回路Pウェル間には、シリコンエピタキシャル領域が存在する。

【0006】一方、Nウェル領域のみレイアウト設計し、Pウェル領域はNウェル領域を反転してマスクデータを生成する方法で作製された半導体集積回路の断面模

## 4

式図を図15に示す。この場合、図14でのデジタル回路部1のPウェル6-1、アナログ回路部2のPウェル6-2は共通のPウェル6となるが、その他については、図14と同様である。

【0007】従来のデジタル回路とアナログ回路を1チップ上に混載した半導体集積回路は以上のように構成されている。図14および図15に示す構造では、シリコンエピタキシャル成長層4の厚さが1～10 $\mu$ m程度と薄いため、その下部の低抵抗シリコン基板3を介して、アナログ回路GNDとデジタル回路GNDは、デジタル回路部Pウェル→シリコンエピタキシャル層→シリコン基板→シリコンエピタキシャル層→アナログ回路部Pウェルという経路で接続されるため、デジタル／アナログGND間抵抗は非常に低くなっている。

【0008】デジタル回路部1では、クロックに同期して多数のトランジスタがオン／オフし、瞬間的に電源／GND間に大電流が流れ、デジタル回路部GND電位が変動しやすい。従来技術では、アナログ回路GNDとデジタル回路GND間の抵抗が非常に低いため、アナログ回路部GND電位もデジタル回路部GND電位の変動の影響を受けて電位変動が生じてしまう。このアナログ回路部GND電位の変動が雑音となってアナログ信号に付加され、アナログ回路部の電気的特性を劣化させてしまうという問題点があった。

【0009】この問題を回避するために、酸化膜層が埋込まれたSOI（Silicon on insulator）基板を用いること、底部Nウェルを形成しPウェルの側面および底面をNウェルで囲むトリプルウェル構造を用いること、によってアナログ回路部とデジタル回路部のGNDを電気的に分離することが考えられている。トリプルウェル構造を持ちいたデジタル／アナログ半導体集積回路としては、特開平5-190783号公報、特開平6-163823号公報が日本において公開されている。

【0010】図16、図17にトリプルウェル構造の断面模式図を示す。図16はNウェル領域とPウェル領域を独立にレイアウト設計してマスクデータを生成する方法で作製されたものであり、図17はNウェル領域のみレイアウト設計しPウェル領域はNウェル領域を反転してマスクデータを生成する方法で作製されたものである。図16、図17において、5-3は底部Nウェル、5-4はPウェル分離用Nウェルである。その他については図14と同様である。

## 【0011】

【発明が解決しようとする課題】これらの方法を用いた場合、デジタル／アナログ回路間の雑音干渉を防止することはできるが、新たな欠点が生じてしまう。SOI基板を持ちいる場合は、従来のシリコン基板に対してSOI基板の価格が高いためチップの製造コストが上昇する。また、トリプルウェル構造にした場合は、プロセス

の工程数が増加する、Pウェル分離用Nウェルを追加する必要がありレイアウト面積が増加する、ことによりチップの製造コストが上昇する。さらに、トリプルウェル構造の場合、PN接合による寄生容量が大幅に増加し、回路の高速動作に対して不利になる、という問題がある。

【0012】一方、低抵抗シリコン基板のかわりに比較的高抵抗（シリコンエピタキシャル成長層と同程度；比抵抗 $5 \sim 20 \Omega \cdot \text{cm}$ 程度）のシリコン基板を使用した場合、低抵抗シリコン基板を介した抵抗が低い接続経路がなくなり、デジタル回路部とアナログ回路部のGND間抵抗が大きくなるため、デジタル／アナログ間での雑音の干渉は減少する。しかし、この場合にはシリコン基板の比抵抗が高いため、ラッチアップ耐量が低下する。従って、ラッチアップ耐量を確保するために、デジタル回路部のトランジスタの集積度を高くすることが困難となる欠点が生じる。

【0013】この発明は上記のような問題点を解決するためになされたものであり、デジタル回路とアナログ回路を1チップ上に混載した半導体集積回路において、アナログ／デジタル間で雑音の干渉を抑制し、高集積度の半導体集積回路を安価に製造することを目的とする。

#### 【0014】

【課題を解決するための手段】第1の発明に係るデジタル／アナログ混載半導体集積回路では、比較的低い比抵抗値を持つ低抵抗半導体基板上に、それよりも比抵抗値が高い同一伝導型である第2の半導体層を有し、電源に接続されたNウェルとグラウンドに接続されたPウェルとからなるウェル領域をその第2の半導体層に形成したデジタル／アナログ混載半導体集積回路において、前記ウェル領域の側面および底面の少なくとも一部に第2の半導体層よりも比抵抗が高く同一伝導型である第3の半導体領域を設けたものである。

【0015】第2の発明に係るデジタル／アナログ混載半導体集積回路では、比較的低い比抵抗値を持つ低抵抗半導体基板上に、それよりも比抵抗値が高い同一伝導型である第2の半導体層を有し、電源に接続されたNウェルとグラウンドに接続されたPウェルとをその第2の半導体層に形成したデジタル／アナログ混載半導体集積回路において、前記Pウェルの側面および底面に第2の半導体層よりも比抵抗が高く同一伝導型である第3の半導体領域を設けたものである。

【0016】第3の発明に係るデジタル／アナログ混載半導体集積回路では、比較的低い比抵抗値を持つ低抵抗半導体基板上に、それよりも比抵抗値が高い同一伝導型である第2の半導体層を有し、電源に接続されたNウェルとグラウンドに接続されたPウェルとをその第2の半導体層に形成したデジタル／アナログ混載半導体集積回路において、前記NウェルとPウェルの側面および底

面に第2の半導体層よりも比抵抗が高く同一伝導型である第3の半導体領域を設けたものである。

【0017】第4の発明に係るデジタル／アナログ混載半導体集積回路では、前記第1の発明において、第3の半導体領域をアナログ回路部のウェル領域に設けたものである。

【0018】第5の発明に係るデジタル／アナログ混載半導体集積回路では、前記第1の発明において、第3の半導体領域をPウェルのみに設けたものである。

10 【0019】第6の発明に係るデジタル／アナログ混載半導体集積回路では、前記第1の発明において、第3の半導体領域をアナログ回路部のPウェルのみに設けたものである。

【0020】第7の発明に係るデジタル／アナログ混載半導体集積回路では、比較的低い比抵抗値を持つ低抵抗半導体基板上に、それよりも比抵抗値が高い同一伝導型である第2の半導体層を有し、電源に接続されたNウェルとグラウンドに接続されたPウェルとからなるウェル領域をその第2の半導体層に形成したデジタル／アナログ混載半導体集積回路において、前記ウェル領域の底面の少なくとも一部に第2の半導体層よりも比抵抗が高く同一伝導型である第3の半導体領域を設けたものである。

【0021】第8の発明に係るデジタル／アナログ混載半導体集積回路では、比較的低い比抵抗値を持つ低抵抗半導体基板上に、それよりも比抵抗値が高い同一伝導型である第2の半導体層を有し、電源に接続されたNウェルとグラウンドに接続されたPウェルとをその第2の半導体層に形成したデジタル／アナログ混載集積回路において、前記Pウェルの底面に第2の半導体層よりも比抵抗が高く同一伝導型である第3の半導体領域を設けたものである。

【0022】第9の発明に係るデジタル／アナログ混載半導体集積回路では、比較的低い比抵抗値を持つ低抵抗半導体基板上に、それよりも比抵抗値が高い同一伝導型である第2の半導体層を有し、電源に接続されたNウェルとグラウンドに接続されたPウェルとをその第2の半導体層に形成したデジタル／アナログ混載集積回路において、前記NウェルとPウェルとの底面に第2の半導体層よりも比抵抗が高く同一伝導型である第3の半導体領域を設けたものである。

【0023】第10の発明に係るデジタル／アナログ混載半導体集積回路では、前記第7の発明において、第3の半導体領域をアナログ回路部のウェル領域のみに設けたものである。

【0024】第11の発明に係るデジタル／アナログ混載半導体集積回路では、前記第7の発明において、第3の半導体領域をPウェルのみに設けたものである。

50 【0025】第12の発明に係るデジタル／アナログ混載半導体集積回路では、前記第7の発明において、第

3の半導体領域をアナログ回路部のPウエルのみに設けたものである。

【0026】第13の発明に係るデジタル／アナログ混載半導体集積回路では、比較的低い比抵抗値を持つ低抵抗半導体基板上に、それよりも比抵抗値が高い同一伝導型である第2の半導体層を有し、第2の半導体層の上部に、低抵抗半導体基板より比抵抗値が高いが第2の半導体層よりは比抵抗値が低く同一伝導型である第3の半導体層を有し、電源に接続されたNウエルとグランドに接続されたPウエルとをその第3の半導体層に形成したものである。

【0027】第14の発明に係るデジタル／アナログ混載半導体集積回路では、デジタル／アナログ混載集積回路において、アナログ回路については、比較的低い比抵抗値を持つ低抵抗半導体基板上に、それよりも比抵抗値が高い同一伝導型である第2の半導体層を有し、第2の半導体層の上部に、低抵抗半導体基板より比抵抗値が高いが第2の半導体層よりは比抵抗値が低く同一伝導型である第3の半導体層を有し、電源に接続されたNウエルとグランドに接続されたPウエルとをその第3の半導体層に形成し、デジタル回路部については、比較的低い比抵抗値を持つ低抵抗半導体基板上に、それよりも比抵抗値が高い同一伝導型である第4の半導体層を有し、第4の半導体層の比抵抗値は第3の半導体層と同程度であり、電源に接続されたNウエルとグランドに接続されたPウエルとをその第4の半導体層に形成したものである。

#### 【0028】

【発明の実施の形態】実施の形態1. 図1はこの発明による、Nウエル領域とPウエル領域を独立にレイアウト設計してマスクデータを生成する方法で作製した、デジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の断面構造の模式図の一例である（アナログ回路Pウエルとデジタル回路Pウエル間には、シリコンエピタキシャル領域が存在する）。また、平面図の一例を図2に示す。図2のA-A'断面図が図1に対応する。

【0029】図1および図2において、1はデジタル回路部、2はアナログ回路部、3はシリコン基板、4はシリコン基板と同じ伝導型であるシリコンのエピタキシャル成長層である。通常、トランジスタ密度が高いデジタル回路部のラッチアップ現象の発生を抑制するため、シリコン基板の比抵抗値はエピタキシャル成長層の比抵抗値と比較して非常に低い値である。5-1はデジタル回路1のNウエル、5-2はアナログ回路部2のNウエル、6-1はデジタル回路部1のPウエル、6-2はアナログ回路部2のPウエルである。Nウエルはn型の伝導型であり、ここにpチャンネルのMOS型トランジスタを形成している。また、Pウエルはp型の伝導型であり、ここにnチャンネルのMOS型トランジスタ

を形成している。7-1はNウエルコンタクト領域、7-2はnチャンネルMOSトランジスタソース領域であり、ともに高濃度のn型にドーピングされている。8-1はPウエルコンタクト領域、8-2はPチャンネルMOSトランジスタソース領域であり、ともに高濃度のp型にドーピングされている。9-1はデジタル回路電源、9-2はアナログ回路電源、10-1はデジタル回路1のGND、10-2はアナログ回路2のGNDである。デジタル回路1のGNDとアナログ回路2のGNDはシリコン基板を介して接続される。11-1はデジタル回路部1のPウエル6-1の側面および底面を囲うように配置された、シリコンエピタキシャル成長層4よりも比抵抗が高い、高抵抗p領域である。また、11-2はアナログ回路部2のPウエル6-2の側面および底面を囲うように設置された、シリコンエピタキシャル成長層4よりも比抵抗値が高い、高抵抗p領域である。

【0030】高抵抗p領域11-1、11-2を作成する方法の一例としては、Pウエルを作製する前に、シリコンエピタキシャル成長層にドーピングされている不純物濃度の値よりもやや低い不純物濃度でn型不純物をPウエルと同じマスクを使用してイオン注入する。その後、Pウエルを形成する。こうすることで、マスク枚数を増加させることなく、高抵抗p領域をPウエルに対して自己整合的に形成することが可能となる。

【0031】上記の構成では、Pウエルの底面および側面に高抵抗p領域があるため、従来例に示した構造と比較してデジタル回路部とアナログ回路のGND間抵抗が大きくなる。そのため、デジタル回路部でのトランジスタのオン／オフに伴い流れる電流によってデジタル部のGND電位が変動した場合でも、アナログ回路のGND電位の変動は抑制される。したがって、デジタル部からの雑音の干渉を抑制できることになる。なお、デジタル／アナログGND間抵抗が大きい、すなわち、高抵抗p領域の比抵抗値がシリコンエピタキシャル成長層よりも大きくなるほど雑音干渉の抑制効果は向上する。

【0032】この実施の形態に示した半導体集積回路では、SOI基板のような特殊な基板を用いる必要がないため、製造コストを低く押さえることができる。また、トリプルウエル構造を用いた場合と比較して、Pウエル分離用のNウエルを追加する必要がなく、レイアウト面積を小さくすることができる。これにより、ウエハ1枚あたりのチップ数が増加し、製造コストを低く押さえることができる。また、上記構造を形成する方法として前述した方法を用いると、半導体集積回路の製造に用いるフォトリソグラフィのマスク枚数を増加させる必要がなく、製造コストを低く押さえることが可能となる。さらに、従来のトリプルウエル構造と比較して、PN接合による寄生容量の増加が少なく、回路の高速動作を妨げる



ことも無い。

【0033】実施の形態2. 図3はこの発明による、Nウェル領域のみレイアウト設計し、Pウェル領域はNウェル領域を反転してマスクデータを生成する方法で作製した、デジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の断面構造の模式図の一例である。また、平面図の一例を図4に示す。図4のA-A'断面図が図3に対応する。

【0034】図3および図4において、6はp型の伝導型であり、ここにnチャンネルのMOS型トランジスタが形成されているPウェルである。また、11はPウェルの底面を囲うように配置された、4シリコンエピタキシャル成長層よりも比抵抗が高い、高抵抗p領域である。その他については、図1と同様である。

【0035】高抵抗p領域11を作成する方法の一例としては、Pウェルを作製する前に、シリコンエピタキシャル成長層にドーピングされている不純物濃度の値よりもやや低い不純物濃度でn型不純物をPウェルと同じマスクを使用してイオン注入する。その後、Pウェルを形成することなく、高抵抗p領域をPウェルに対して自己整合的に形成することが可能となる。

【0036】上記の構成では、Pウェルの底面に高抵抗p領域があるため、従来例に示した構造と比較してデジタル回路部とアナログ回路のGND間抵抗が大きくなる。そのため、デジタル回路部でのトランジスタのオン/オフに伴い流れる電流によってデジタル部のGND電位が変動した場合でも、アナログ回路のGND電位の変動は抑制される。したがって、デジタル部からの雑音の干渉を抑制できることになる。なお、デジタル/アナログGND間抵抗が大きい。すなわち、高抵抗p領域の比抵抗値がシリコンエピタキシャル成長層よりも大きくなるほど雑音干渉の抑制効果は向上する。

【0037】この実施の形態に示した半導体集積回路では、SOI基板のような特殊な基板を用いる必要がないため、製造コストを低く押さえることができる。また、トリプルウェル構造を後いた場合と比較して、Pウェル分離用のNウェルを追加する必要がなく、レイアウト面積を小さくすることができる。これにより、ウエハ1枚あたりのチップ数が増加し、製造コストを低く押さえることができる。また、上記構造を形成する方法として前述した方法を用いると、半導体集積回路の製造に用いるフォトリソグラフィのマスク枚数を増加させる必要がなく、製造コストを低く押さえることが可能となる。さらに、従来のトリプルウェル構造と比較して、PN接合による寄生容量の増加が少なく、回路の高速動作を妨げることも無い。

【0038】実施の形態3. 図5はこの発明による、Nウェル領域とPウェル領域を独立にレイアウト設計してマスクデータを生成する方法で作製した、デジタル回

路とアナログ回路を1チップ上に混載した半導体集積回路の模式図である。この半導体集積回路は、図1に示した半導体集積回路において、デジタル回路部1の高抵抗p領域11-1を省略したものである。

【0039】高抵抗p領域11-1を作成する方法の一例としては、Pウェルを作製する前に、シリコンエピタキシャル成長層にドーピングされている不純物濃度の値よりもやや低い不純物濃度でn型不純物をPウェルと同じマスクを使用してイオン注入する。その後、Pウェルを形成する。

【0040】上記の構成では、アナログ回路部Pウェルの周囲に高抵抗p領域があるため、従来例に示した構造と比較してデジタル回路部とアナログ回路のGND間抵抗が大きくなる。そのため、デジタル回路部でのトランジスタのオン/オフに伴い流れる電流によってデジタル部のGND電位が変動した場合でも、アナログ回路のGND電位の変動は抑制される。したがって、デジタル部からの雑音の干渉を抑制できることになる。なお、デジタル/アナログGND間抵抗が大きい。すなわち、高抵抗p領域の比抵抗値がシリコンエピタキシャル成長層よりも大きくなるほど雑音干渉の抑制効果は向上する。

【0041】この実施の形態に示した半導体集積回路では、SOI基板のような特殊な基板を用いる必要がないため、製造コストを低く押さえることができる。また、従来のトリプルウェル構造と比較してPウェル分離用のNウェルを追加する必要がなく、レイアウト面積を小さくすることができる。これにより、ウエハ1枚あたりのチップ数が増加し、製造コストを低く押さえることができる。また、従来のトリプルウェル構造と比較して、PN接合による寄生容量の増加が少なく、回路の高速動作を妨げることが無い。さらに、トランジスタ密度が高くラッチアップが問題となりやすいデジタル回路部に着目すると、従来の低抵抗シリコン基板を用いた場合の断面構造と同一であり、ラッチアップ耐量が低下することはない。したがって、従来構造と同じ高集積度であり、かつ雑音の干渉を抑制した、低雑音デジタル・アナログ混載集積回路を実現することが可能となる。

【0042】実施の形態4. 図6はこの発明による、Nウェル領域のみレイアウト設計し、Pウェル領域はNウェル領域を反転してマスクデータを生成する方法で作製した、デジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の模式図である。この半導体集積回路は、図3に示した半導体集積回路において、高抵抗p領域11をアナログ回路部領域のPウェルの底部にのみ形成したものである。

【0043】高抵抗p領域11を作成する方法の一例としては、Pウェルを作製する前に、シリコンエピタキシャル成長層にドーピングされている不純物濃度の値よりもやや低い不純物濃度でn型不純物をPウェルと同じマ

10

20

30

40

50

スクを使用してイオン注入する。その後、P ウエルを形成する。

【0044】上記の構成では、アナログ回路部2のP ウエルの周囲に高抵抗p領域があるため、従来例に示した構造と比較してデジタル回路部とアナログ回路のGND間抵抗が大きくなる。そのため、デジタル回路部でのトランジスタのオン/オフに伴い流れる電流によってデジタル部のGND電位が変動した場合でも、アナログ回路のGND電位の変動は抑制される。したがって、デジタル部からの雑音の干渉を抑制できることになる。なお、デジタル/アナログGND間抵抗が大きい、すなわち、高抵抗p領域の比抵抗値がシリコンエピタキシャル成長層よりも大きくなるほど雑音干渉の抑制効果は向上する。

【0045】この実施の形態に示した半導体集積回路では、SOI基板のような特殊な基板を用いる必要がないため、製造コストを低く押さえることができる。また、トリプルウエル構造を用いた場合と比較して、Pウエル分離用のNウエルを追加する必要がなく、レイアウト面積を小さくすることができる。これにより、ウエハ1枚あたりのチップ数が増加し、製造コストを低く押さえることができる。また、従来のトリプルウエル構造と比較して、PN接合による寄生容量の増加が少なく、回路の高速動作を妨げることが無い。さらに、トランジスタ密度が高くラッチアップが問題となりやすいデジタル回路部に着目すると、従来の低抵抗シリコン基板を用いた場合の断面構造と同一であり、ラッチアップ耐量が低下することは無い。したがって、従来構造と同じ高集積度であり、かつ雑音の干渉を抑制した、低雑音デジタル・アナログ混載集積回路を実現することが可能となる。

【0046】実施の形態5。図7はこの発明による、Nウエル領域とPウエル領域を独立にレイアウト設計してマスクデータを生成する方法で作製した、デジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の模式図である。この半導体集積回路において、デジタル回路部高抵抗p領域11-1を省略し、アナログ回路部高抵抗p領域11-2を、アナログ回路部Pウエル6-2の側面および底面に加え、アナログ回路部Nウエル5-2の側面および底面を囲うように設置したものである。

【0047】高抵抗p領域11-1を作成する方法の一例としては、Pウエルを作製する前に、シリコンエピタキシャル成長層にドーピングされている不純物濃度の値よりもやや低い不純物濃度でn型不純物をPウエルと同じマスクを使用してイオン注入する。その後、Pウエルを形成する。

【0048】上記の構成では、アナログ回路部Pウエルの周囲に高抵抗p領域があるため、デジタル回路部とアナログ回路のGND間抵抗が大きくなる。そのため、デジタル回路部でのトランジスタのオン/オフに伴い

流れる電流によってデジタル部のGND電位が変動した場合でも、アナログ回路のGND電位の変動は抑制される。したがって、デジタル部からの雑音の干渉を抑制できることになる。なお、デジタル/アナログGND間抵抗が大きい、すなわち、高抵抗p領域の比抵抗値がシリコンエピタキシャル成長層よりも大きくなるほど雑音干渉の抑制効果は向上する。

【0049】この実施の形態に示した半導体集積回路では、SOI基板のような特殊な基板を用いる必要がないため、製造コストを低く押さえることができる。また、従来のトリプルウエル構造と比較して、Pウエル分離用のNウエルを追加する必要がなく、レイアウト面積を小さくすることができる。これによって、ウエハ1枚あたりのチップ数が増加し、製造コストを低く押さえることができる。また、従来のトリプルウエル構造と比較して、PN接合による寄生容量の増加が少なく、回路の高速動作を妨げることが無い。さらに、トランジスタ密度が高くラッチアップが問題となりやすいデジタル回路部に着目すると、従来の低抵抗シリコン基板を用いた場合の断面構造と同一であり、ラッチアップ耐量が低下することは無い。したがって、従来構造と同じ高集積度であり、かつ雑音の干渉を抑制した、低雑音デジタル・アナログ混載集積回路を実現することが可能となる。

【0050】実施の形態6。図8はこの発明による、Nウエル領域とPウエル領域のみレイアウト設計し、Pウエル領域はNウエル領域を反転してマスクデータを生成する方法で作製した、デジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の模式図である。この半導体集積回路は、図3に示した半導体集積回路において、高抵抗p領域11をアナログ回路部領域のNウエルおよびPウエルの底部にのみ形成したものである。

【0051】高抵抗p領域11を作成する方法の一例としては、NウエルおよびPウエルを作製する前に、シリコンエピタキシャル成長層にドーピングされている不純物濃度の値よりもやや低い不純物濃度でn型不純物をPウエルと同じマスクを使用してイオン注入する。その後、NウエルおよびPウエルを形成する。

【0052】上記の構成では、アナログ回路部領域のNウエルおよびPウエルの周囲に高抵抗p領域があるため、デジタル回路部とアナログ回路のGND間抵抗が大きくなる。そのため、デジタル回路部でのトランジスタのオン/オフに伴い流れる電流によってデジタル部のGND電位が変動した場合でも、アナログ回路のGND電位の変動は抑制される。したがって、デジタル部からの雑音の干渉を抑制できる。なお、デジタル/アナログGND間抵抗が大きい、すなわち、高抵抗p領域の比抵抗値がシリコンエピタキシャル成長層よりも大きくなるほど雑音干渉の抑制効果は向上する。

【0053】この実施の形態に示した半導体集積回路では、SOI基板のような特殊な基板を用いる必要がない



ため、製造コストを低く押さえることができる。また、トリプルウェル構造を用いた場合と比較して、Pウェル分離用のNウェルを追加する必要がなく、レイアウト面積を小さくすることができる。これにより、ウェハ1枚あたりのチップ数が増加し、製造コストを低く押さえることができる。また、デジタル回路部MOSトランジスタよりもアナログ回路部MOSトランジスタの動作電圧が高く、同一半導体集積回路の中で厚さが異なる2種類以上のゲート酸化膜を形成する必要がある場合には、ゲート酸化膜形成時のフォトリソグラフィマスクを高抵抗Pウェル形成時にも使用することができ、製造コストを低く抑えることができる。また、従来のトリプルウェル構造と比較して、PN接合による寄生容量の増加が少なく、回路の高速動作を妨げることが無い。さらに、トランジスタ密度が高くラッチアップが問題となりやすいデジタル回路部に着目すると、従来の低抵抗シリコン基板を用いた場合の断面構造と同一であり、ラッチアップ耐量が低下することは無い。したがって、従来構造と同じ高集積度であり、かつ雑音の干渉を抑制した、低雑音デジタル・アナログ混載集積回路を実現することが可能となる。

【0054】実施の形態7. 図9はこの発明による、Nウェル領域とPウェル領域を独立にレイアウト設計してマスクデータを生成する方法で作製した、デジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の断面構造の模式図の一例である。

【0055】図9において、3はシリコン基板（比抵抗： $0.1\Omega\cdot\text{cm}$ 以下）、4-1はシリコン基板と同じ伝導型であるシリコンの高抵抗エピタキシャル成長層、4-1はシリコン基板と同じ伝導型であるシリコンのエピタキシャル成長層である。ここで、高抵抗エピタキシャル成長層4-1の比抵抗値は、エピタキシャル成長層よりも高い値である（例えば、エピタキシャル成長層4の比抵抗が $5\sim 15\Omega\cdot\text{cm}$ の場合、高抵抗エピタキシャル成長層4-1は $20\Omega\cdot\text{cm}$ とする。図9では、シリコン基板と高抵抗エピタキシャル成長層4-1、および高抵抗エピタキシャル成長層4-1とエピタキシャル成長層4の境界での比抵抗値は不連続であるように示しているが、各境界はある厚みの遷移層を有してもかまわない。また、遷移層での比抵抗値変化は必ずしも直線的である必要はない。5-1はデジタル回路のNウェル、5-2はアナログ回路部のNウェル、6-1はデジタル回路のPウェル、6-2はアナログ回路部のPウェルである。Nウェルはn型の伝導型であり、ここにpチャンネルのMOS型トランジスタを形成している。また、Pウェルはp型の伝導型であり、ここにnチャンネルのMOS型トランジスタを形成している。7-1はNウェルコンタクト領域、7-2はnチャンネルMOSトランジスタソース領域であり、ともに高濃度のn型にドーピングされている。8-1はPウェルコンタク

ト領域、8-2はpチャンネルMOSトランジスタソース領域であり、ともに高濃度のp型にドーピングされている。9-1はデジタル回路電源、9-2はアナログ回路電源、10-1はデジタル回路のGND、10-2はアナログ回路GNDである。デジタル回路のGNDとアナログ回路のGNDはシリコン基板を介して接続される。

【0056】図10はこの発明による、Nウェル領域とPウェル領域のみレイアウト設計し、Pウェル領域はNウェル領域を反転してマスクデータを生成する方法で作製した、デジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の模式図である。6はp型の伝導型であり、ここにnチャンネルのMOS型トランジスタが形成されるPウェルである。その他については、図9と同様である。

【0057】上記の構成では、エピタキシャル成長層とシリコン基板の間に高抵抗エピタキシャル成長層があるため、従来例に示した構造と比較してデジタル回路部とアナログ回路のGND間抵抗が大きくなる。そのため、デジタル回路部でのトランジスタのオン/オフに伴い流れる電流によってデジタル部のGND電位が変動した場合でも、アナログ回路のGND電位の変動は抑制される。したがって、デジタル部からの雑音の干渉を抑制できることになる。なお、デジタル/アナログGND間抵抗が大きい、すなわち、高抵抗p領域の比抵抗値がシリコンエピタキシャル成長層よりも大きくなるほど雑音干渉の抑制効果は向上する。

【0058】この実施の形態に示した半導体集積回路では、トリプルウェル構造を用いた場合と比較して、Pウェル分離用のNウェルを追加する必要がなく、レイアウト面積を小さくすることができる。これにより、ウェハ1枚あたりのチップ数が増加し、製造コストを低く押さえることができる。また、上記構造を形成するために、半導体集積回路の製造に用いるフォトリソグラフィのマスク枚数を増加させる必要がなく、製造コストを低く抑えることが可能となる。さらに、従来のトリプルウェル構造と比較して、PN接合による寄生容量の増加が少なく、回路の高速動作を妨げることも無い。

【0059】実施の形態8. 図11はこの発明による、Nウェル領域とPウェル領域を独立にレイアウト設計してマスクデータを生成する方法で作製した、デジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の模式図である。この半導体集積回路は、図9に示した半導体集積回路において、デジタル回路部にのみ、シリコン基板に達するようデジタル回路部P領域12を形成したものである。デジタル回路部P領域12の比抵抗値は、エピタキシャル成長層4と同程度（ $5\sim 15\Omega\cdot\text{cm}$ ）である。

【0060】P領域12を作製する方法の一例としては、NウェルおよびPウェルを作製する前に、シリコン

エピタキシャル成長層にドーピングされている不純物濃度と同程度の p 型不純物をイオン注入する。その後、N ウエルおよび P ウエルを形成する方法がある。

【0061】図 12 はこの発明による、N ウエル領域のみレイアウト設計し、P ウエル領域は N ウエル領域を反転してマスクデータを生成する方法で作製した、デジタル回路とアナログ回路を 1 チップ上に混載した半導体集積回路の模式図である。6 は p 型の伝導型であり、ここに n チャンネルの MOS 型トランジスタが形成される P ウエルである。その他については、図 11 と同様である。

【0062】上記の構成では、アナログ回路部下部のシリコン基板とエピタキシャル成長層の間に高抵抗エピタキシャル成長層があるため、デジタル回路部とアナログ回路の GND 間抵抗が大きくなる。そのため、デジタル回路部でのトランジスタのオン/オフに伴い流れる電流によってデジタル部の GND 電位が変動した場合でも、アナログ回路の GND 電位の変動は抑制される。したがって、デジタル部からの雑音の干渉を抑制することになる。なお、デジタル/アナログ GND 間抵抗が大きい、すなわち、高抵抗エピタキシャル成長層の比抵抗値がシリコンエピタキシャル成長層よりも大きくなるほど雑音干渉の抑制効果は向上する。

【0063】この実施の形態に示した半導体集積回路では、トリプルウエル構造を用いた場合と比較して、P ウエル分離用の N ウエルを追加する必要がなく、レイアウト面積を小さくすることができる。これにより、ウエハ 1 枚あたりのチップ数が増加し、製造コストを低く押さえることができる。また、デジタル回路部 MOS トランジスタよりもアナログ回路部 MOS トランジスタの動作電圧が高く、同一半導体集積回路の中で厚さが異なる 2 種類以上のゲート酸化膜を形成する必要がある場合には、ゲート酸化膜形成時のフォトリソグラフィマスクを高抵抗 P ウエル形成時にも使用することができ、製造コストを低く抑えることができる。また、従来のトリプルウエル構造と比較して、PN 接合による寄生容量の増加が少なく、回路の高速動作を妨げることが無い。さらに、トランジスタ密度が高くラッチアップが問題となりやすいデジタル回路部に着目すると、従来の低抵抗シリコン基板を用いた場合の断面構造と同一であり、ラッチアップ耐量の低下量は少ない。したがって、従来構造と同程度の高集積度であり、かつ雑音の干渉を抑制した、低雑音デジタル/アナログ混載集積回路を実現することが可能となる。

#### 【0064】

【発明の効果】第 1 の発明によれば、低雑音デジタル/アナログ混載半導体集積回路において、ウエル領域の側面および底面の少なくとも一部に高抵抗領域を設けたので、デジタル/アナログ間での雑音の干渉を的確に抑制し得る高集積度の半導体集積回路を安価に製造する

ことができる。

【0065】第 2 の発明によれば、低雑音デジタル/アナログ混載半導体集積回路において、P ウエルの側面および底面に高抵抗領域を設けたので、デジタル/アナログ間での雑音の干渉を的確に抑制し得る高集積度の半導体集積回路を安価に製造することができる。

【0066】第 3 の発明によれば、低雑音デジタル/アナログ混載半導体集積回路において、N ウエルおよび P ウエルの側面および底面に高抵抗領域を設けたので、デジタル/アナログ間での雑音の干渉を的確に抑制し得る高集積度の半導体集積回路を安価に製造することができる。

【0067】第 4 の発明によれば、第 1 の発明において、高抵抗領域をアナログ回路部のウエル領域に設けたので、デジタル/アナログ間での雑音の干渉を的確に抑制し得る高集積度の半導体集積回路を安価に製造することができる。

【0068】第 5 の発明によれば、第 1 の発明において、高抵抗領域を P ウエルのみに設けたので、デジタル/アナログ間での雑音の干渉を的確に抑制し得る高集積度の半導体集積回路を安価に製造することができる。

【0069】第 6 の発明によれば、第 1 の発明において、高抵抗領域をアナログ回路部の P ウエルのみに設けたので、デジタル/アナログ間での雑音の干渉を的確に抑制し得る高集積度の半導体集積回路を安価に製造することができる。

【0070】第 7 の発明によれば、低雑音デジタル/アナログ混載半導体集積回路において、ウエル領域の底面の少なくとも一部に高抵抗領域を設けたので、デジタル/アナログ間での雑音の干渉を的確に抑制し得る高集積度の半導体集積回路を安価に製造することができる。

【0071】第 8 の発明によれば、低雑音デジタル/アナログ混載半導体集積回路において、P ウエル領域の底面に高抵抗領域を設けたので、デジタル/アナログ間での雑音の干渉を的確に抑制し得る高集積度の半導体集積回路を安価に製造することができる。

【0072】第 9 の発明によれば、低雑音デジタル/アナログ混載半導体集積回路において、N ウエルと P ウエルとの底面に高抵抗領域を設けたので、デジタル/アナログ間での雑音の干渉を的確に抑制し得る高集積度の半導体集積回路を安価に製造することができる。

【0073】第 10 の発明によれば、第 7 の発明において、高抵抗領域をアナログ回路部のウエル領域のみに設けたので、デジタル/アナログ間での雑音の干渉を的確に抑制し得る高集積度の半導体集積回路を安価に製造することができる。

【0074】第 11 の発明によれば、第 7 の発明において、高抵抗領域を P ウエルのみに設けたので、デジタル/アナログ間での雑音の干渉を的確に抑制し得る高集

積度の半導体集積回路を安価に製造することができる。

【0075】第12の発明によれば、第7の発明において、高抵抗領域をアナログ回路部のPウエルの上に設けたので、デジタル／アナログ間での雑音の干渉を的確に抑制し得る高集積度の半導体集積回路を安価に製造することができる。

【0076】第13の発明によれば、NウエルとPウエルとを設けた第3の半導体層と半導体基板との間に高抵抗の第2の半導体層が存在するため、デジタル／アナログ間での雑音の干渉を的確に抑制し得る高集積度の半導体集積回路を安価に製造することができる。

【0077】第14の発明によれば、NウエルとPウエルとを設けた第3の半導体層と半導体基板との間に半導体基板よりも高抵抗の第4の半導体層が存在するため、デジタル／アナログ間での雑音の干渉を的確に抑制し得る高集積度の半導体集積回路を安価に製造することができる。

#### 【図面の簡単な説明】

【図1】 この発明における実施の形態1によるデジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の模式図である。

【図2】 この発明における実施の形態1によるデジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の平面図である。

【図3】 この発明における実施の形態2によるデジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の模式図である。

【図4】 この発明における実施の形態2によるデジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の平面図である。

【図5】 この発明における実施の形態3によるデジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の模式図である。

【図6】 この発明における実施の形態4によるデジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の模式図である。

【図7】 この発明における実施の形態5によるデジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の模式図である。

【図8】 この発明における実施の形態6によるデジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の模式図である。

【図9】 この発明における実施の形態7によるデジタル回路とアナログ回路を1チップ上に混載した半導体

集積回路の模式図である（Nウエル、Pウエル独立レイアウト設計）。

【図10】 この発明における実施の形態7によるデジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の模式図である（Nウエルのみレイアウト設計、PウエルはNウエルレイアウトデータを反転して生成）。

【図11】 この発明における実施の形態8によるデジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の模式図である（Nウエル、Pウエル独立レイアウト設計）。

【図12】 この発明における実施の形態8によるデジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の模式図である（Nウエルのみレイアウト設計、PウエルはNウエルレイアウトデータを反転して生成）。

【図13】 デジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の平面図である。

【図14】 従来のデジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の模式図である（Nウエル、Pウエル独立レイアウト設計）。

【図15】 従来のデジタル回路とアナログ回路を1チップ上に混載した半導体集積回路の模式図である（Nウエルのみレイアウト設計、PウエルはNウエルレイアウトデータを反転して生成）。

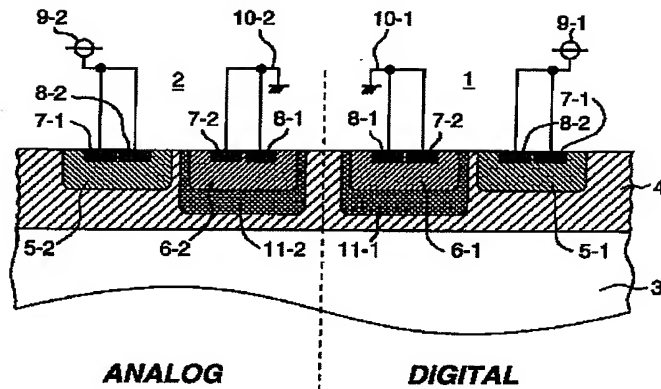
【図16】 トリプルウエル構造の断面模式図である（Nウエル、Pウエル独立レイアウト設計）。

【図17】 トリプルウエル構造の断面模式図である（Nウエルのみレイアウト設計、PウエルはNウエルレイアウトデータを反転して生成）。

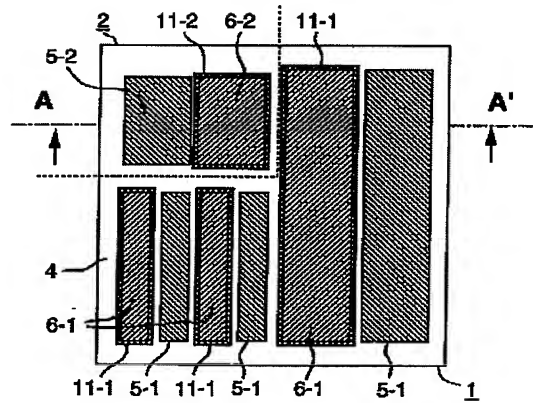
#### 【符号の説明】

1 デジタル回路部、2 アナログ回路部、3 シリコン基板、4 はシリコン基板と同じ伝導型であるシリコンのエピタキシャル成長層、5-1 デジタル回路1のNウエル、5-2 アナログ回路部2のNウエル、6 p型の伝導型、6-1 デジタル回路部1のPウエル、6-2 アナログ回路部2のPウエル、7-1 Nウエルコンタクト領域、7-2 nチャンネルMOSトランジスタソース領域、8-1 Pウエルコンタクト領域、8-2 PチャンネルMOSトランジスタソース領域、9-1 デジタル回路電源、9-2 アナログ回路電源、10-1 デジタル回路のGND、10-2 アナログ回路のGND、11、11-1、11-2 高抵抗p領域、12 デジタル回路p領域。

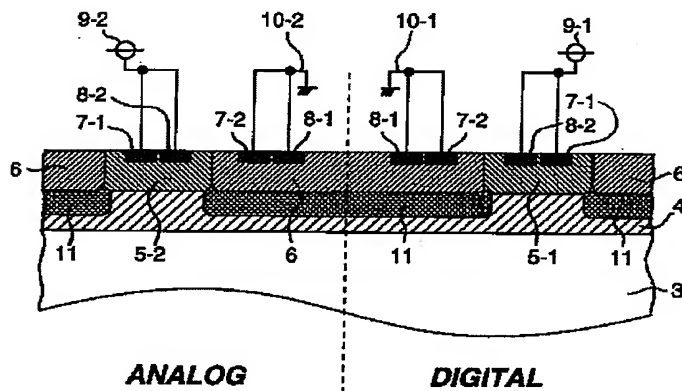
【図 1】



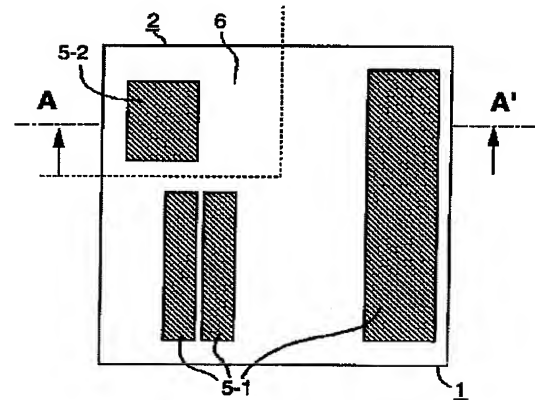
【図 2】



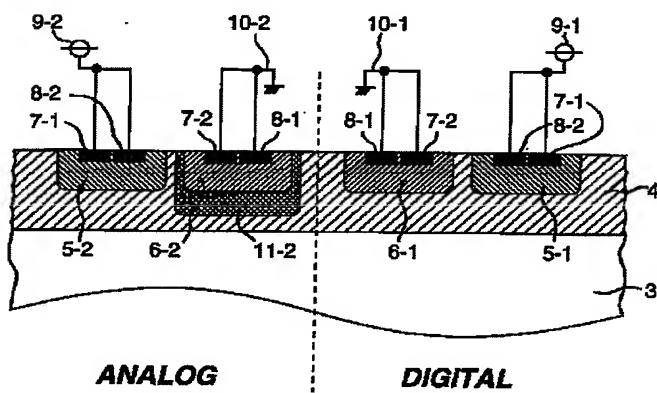
【図 3】



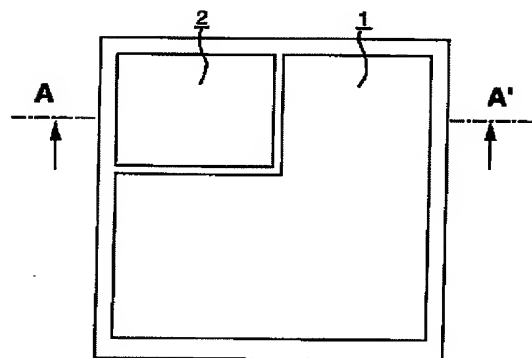
【図 4】



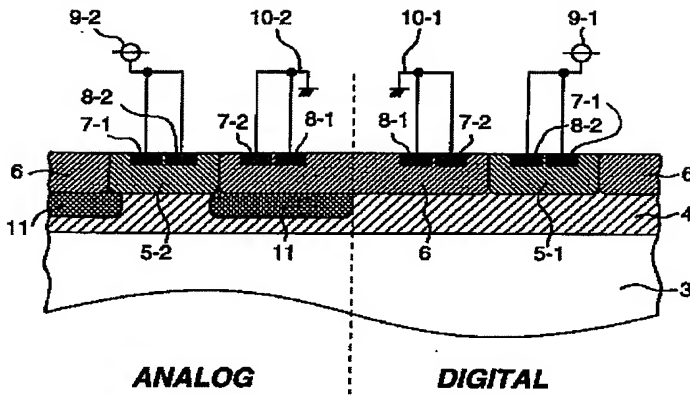
【図 5】



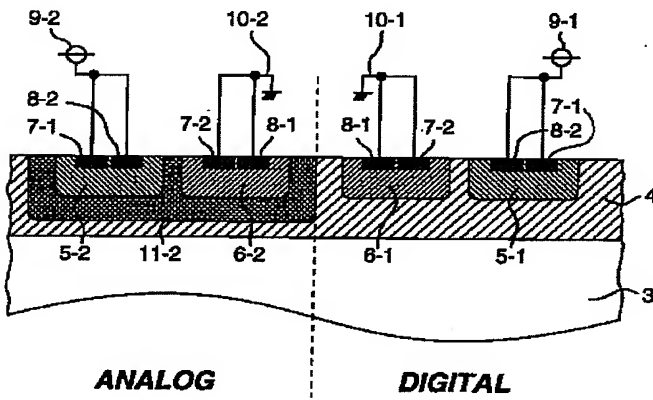
【図 13】



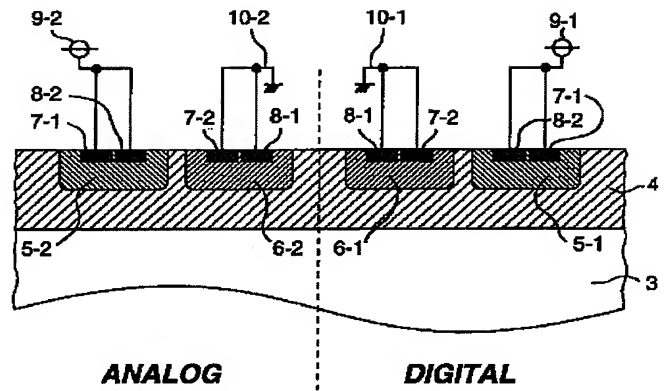
【図 6】



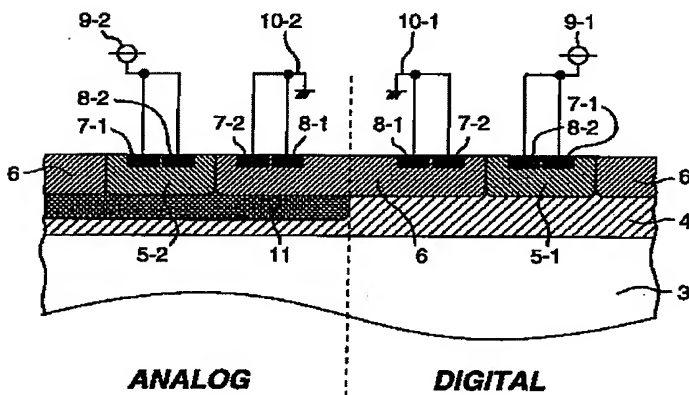
【図 7】



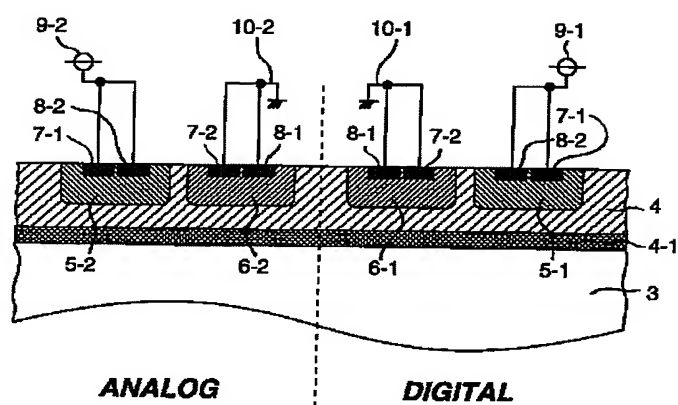
【図 14】



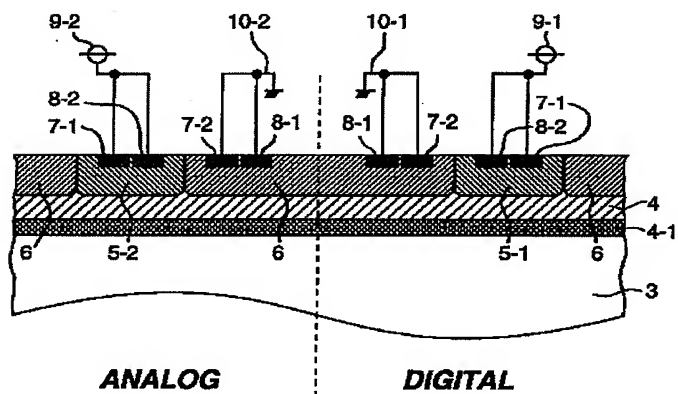
【図 8】



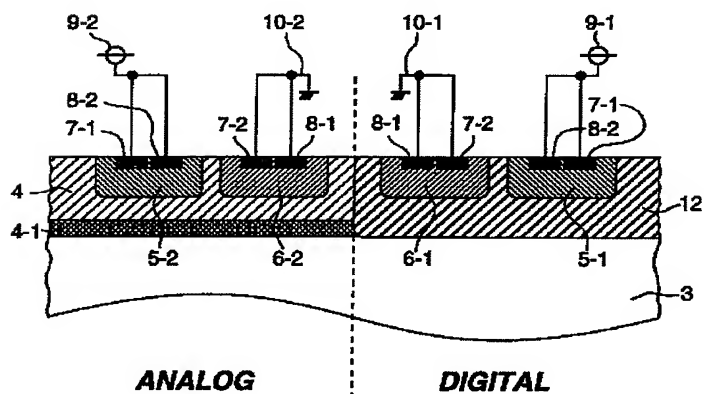
【図 9】



【図 10】

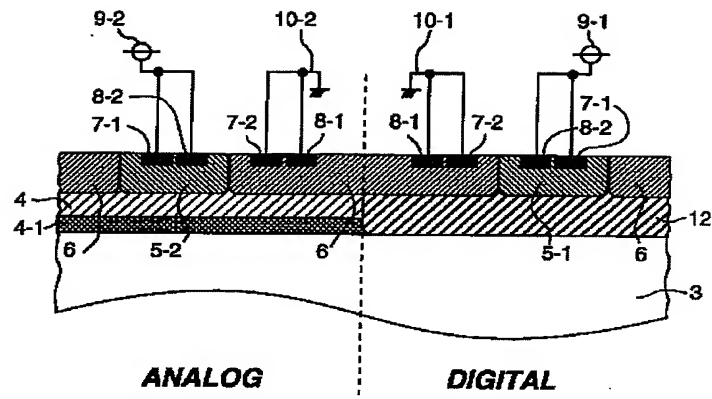


【図 11】

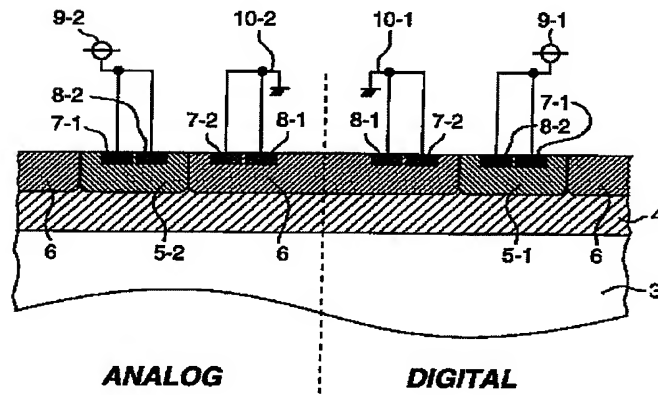




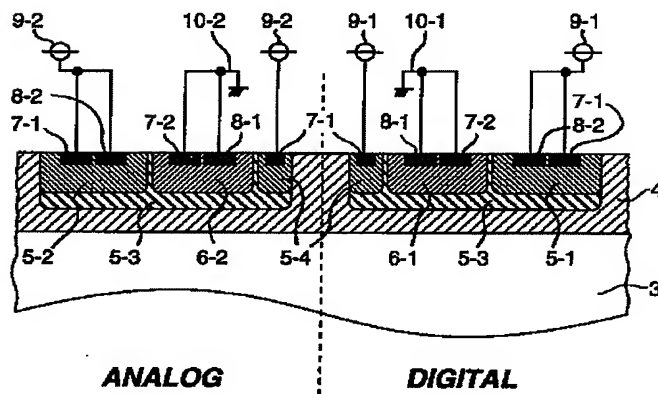
【図 12】



【図 15】



【図 16】



【図 17】

